

## Circuitos Integrados CMOS

Prof. Dr. Sérgio Takeo Kofuji  
Prof. Dr. João Antonio Zuffo  
Prof. Dr. João Navarro Soares

---

### 8.1 INTRODUÇÃO

Circuitos integrados (CIs) construídos com Transistores de Efeito Campo (*Field-Effect Transistors* - FET) do tipo Metal-Óxido Semicondutor Complementares (*Complementary Metal-Oxide Semiconductor* - CMOS) são o apogeu de uma história de desenvolvimento tecnológico que teve início em 1925. Nesse ano J. Lilienfeld, da Universidade de Leipzig, propõe um dispositivo com condutividade modulada por campos elétricos [Sa88]. Em 1935, o alemão O. Heil solicita na Inglaterra a patente de uma estrutura que muito se assemelha aos transistores MOS modernos ([Sa88],[We93]).

Não obstante o interesse que há nos dispositivos FETs, os transistores construídos até então não funcionavam e, pior, não se conhecia a causa do fracasso. Esse fato e a invenção do transistor bipolar em 1948 faz com que os FETs sejam praticamente esquecidos ([Me98], [Rs98]). No fim da década de 50 algumas importantes contribuições, tanto para a microeletrônica no geral como para o renascimento dos FETs, são feitas ([Sa88], [Me98]):

- em 1959, J. Hoerni, da Fairchild, inventa o *processo planar* para fabricação de transistores;
- em 1958, J. Kilby, Texas Instruments, desenvolve o primeiro circuito integrado (um transistor, um capacitor e três resistores colocados em uma placa de germânio); vários aperfeiçoamentos são posteriormente introduzidos com os trabalhos de Noyce, Fairchild, 1959, que usa alumínio evaporado para realizar interconexões além do processo planar;
- em 1959, Atalla e Kahng, Bell Labs., fabricam e conseguem a operação de um transistor MOS. Ele é tido, nessa época, como uma curiosidade em vista de sua performance bastante inferior aos bipolares.

Apenas na década de 60 é que o transistor MOS passa a ser encarado como um dispositivo viável e adequado, devido a sua estrutura simples, para a realização de circuitos integrados complexos. Em 1964, Fairchild e RCA introduzem no mercado os primeiros transistores MOS, no entanto, problemas com impurezas e estados de interface mantém restrito o uso destes dispositivos.

Entre 1964 e 1969 várias técnicas foram desenvolvidas para redução dos estados de interface e identifica-se o sódio como principal impureza. Com isso, a confiabilidade e a gama de aplicações do MOS aumentam.

A primeira memória em semicondutor com produção em massa é anunciada pela INTEL em 1970: DRAM (*Dynamic Random Access Memory*) de 1-Kbit com tecnologia PMOS (tecnologia MOS onde apenas há transistores com canal P. Nesta tecnologia os problemas com impurezas são menos graves); o primeiro microprocessador, 4004 da *Intel*, fim de 1971, e memórias DRAMs de 4-Kbit, 1972, são posteriormente produzidos com tecnologia NMOS (tecnologia MOS onde apenas há transistores com canal N; permitem maiores velocidades e níveis de integração).

Tecnologias NMOS são dominantes até fins da década de 70. Com o aumento das densidades, dimensões e velocidades dos circuitos, começa a haver problemas com o consumo de potência, o que estimula o desenvolvimento do CMOS (tecnologia MOS onde transistores com ambos tipos de canais, N e P, são possíveis). Hoje, cerca de 75% dos circuitos semicondutores (tanto em número de componentes como por valor) são implementados com tecnologias CMOS, e isto não deve se alterar nos próximos 10 ou 20 anos [Br98]. Na tabela 1 são apresentadas algumas características atuais e para os próximos anos dos circuitos CMOS [Se99].

As principais vantagens apresentadas pelas tecnologias CMOS são o baixo consumo de potência, alta imunidade a ruído, alto nível de integração, simplicidade de projeto e operação confiável em ampla faixa de valores de tensão.

Tabela 1. Características das gerações tecnológicas apresentadas no NTRS/99 [Se99].

Ano do início de produção	2001	2002	2003	2005	2008	2011	2014
linhas densas (DRAM <i>half pitch</i> ) (nm)*	150	130	120	100	70	50	35
linhas isoladas ( <i>gates lenght</i> para microprocessador) (nm)*	100	85-90	80	65	45	30-32	20-22
Memória <i>bits/cm<sup>2</sup></i>	490M	-	890M	1,63G	4,03G	9,94G	24,5G
Microprocessador transistor/ <i>cm<sup>2</sup></i>	49M	-	78M	142M	350M	863M	2,13G
<i>Total Package Pins/Balls</i> (ASIC alta performance) #	2007	2248	2518	3158	4437	6234	8758
Frequência <i>on-chip-local</i> (alta performance) (MHz) §	1767	2100	2490	3500	6000	10000	13500
Frequência <i>on-chip-across chip</i> (alta performance) (MHz) §	1454	1600	1724	2000	2500	3000	3600
Frequência <i>chip to board</i> (alta performance) (MHz)	1454	1600	1724	2000	2500	3000	3600
Área do <i>chip</i> (mm <sup>2</sup> ) DRAM	438	-	480	526	603	691	792
área do <i>chip</i> (mm <sup>2</sup> ) microprocessador	450	-	567	622	712	817	937
V <sub>DD</sub> para lógica (V)	1,2-1,5	1,2-1,5	1,2-1,5	0,9-1,2	0,6-0,9	0,5-0,6	0,3-0,6
Dissipação de potência (alta performance) (W)	115	130	140	160	170	174	183
Dissipação de potência (equipamentos c/ bateria) (W)	1,7	2,0	2,1	2,4	2,0	2,2	2,4

\* o NTRS/99 divide as tecnologias de fabricação em duas classes: aquelas usadas para implementação de DRAMs e aquelas usadas em circuitos lógicos. Para as primeiras, é usado o *half pitch* do primeiro nível de interconexão, linhas mais densas, como característica mais representativa da geração tecnológica. No caso das tecnologias usadas para lógica, é usado o comprimento do canal (*L*);

# os circuitos projetados para alcançar a máxima velocidade são chamados de circuitos de alta performance;

§ duas classes de *clocks* são discriminadas no NTRS/99: o *clock* global, que deve ser distribuído por todo o CI, e o *clock* local, gerado a partir do global e que será usado em porções menores do CI, normalmente em CIs de alta performance.



ter a passagem de corrente entre dreno e fonte. A aplicação de tensões negativas na porta tem como efeito repelir os elétrons para fora do canal e, para uma tensão porta-fonte suficientemente *NEGATIVA*, teremos o corte do dispositivo devido ao estrangulamento do canal.

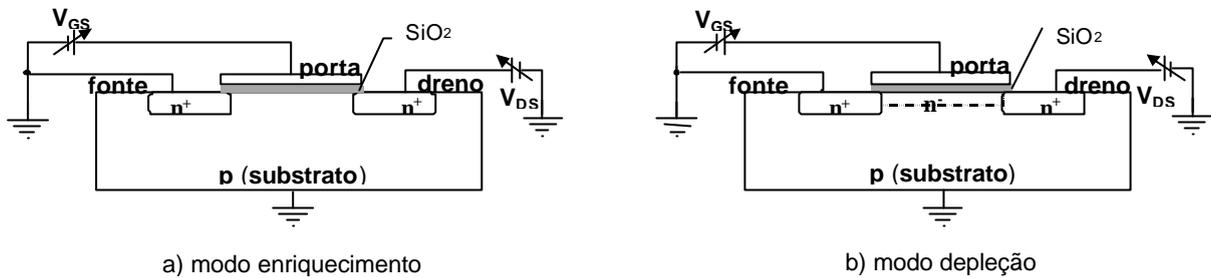


Figura 2: Construção Básica de transistores NMOS.

### 8.2.2 Modelo do Transistor MOSFET

Na figura 3 temos as curvas  $I_{DS} \times V_{GS}$  e  $I_{DS} \times V_{DS}$  de um transistor NMOS modo enriquecimento. Para tensões porta-fonte superiores a tensão de limiar, o transistor deverá conduzir operando na região triodo ou na região de saturação.

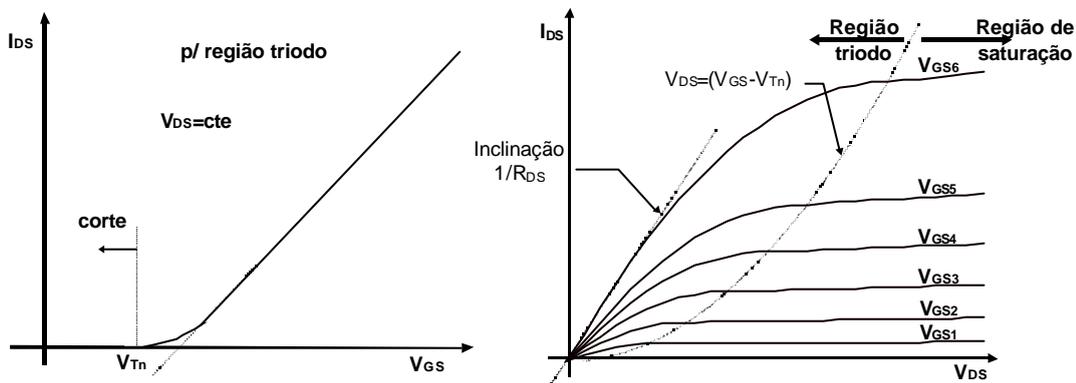


Figura 3: Curvas Características de NMOS modo enriquecimento.

Na região triodo, o transistor se comporta como uma resistência controlada por tensão. A equação que relaciona tensão e corrente num NMOS na região triodo é:

$$I_{DS} = b_n \left[ (V_{GS} - V_{Tn})V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (1)$$

onde  $b_n$  é o fator de ganho do transistor, sendo uma constante que depende da geometria do transistor e de características do semiconductor;  $V_{Tn}$  é denominada tensão de limiar, sendo característica de cada dispositivo MOSFET.

Na região de saturação podemos considerar que a relação (1) atinge o valor máximo de corrente passando então o transistor a se comportar como uma fonte de corrente controlada por  $V_{GS}$ . Nesta aproximação a corrente terá a expressão:

$$I_{DS} = \frac{b_n}{2} (V_{GS} - V_{Tn})^2 \quad (2)$$

Em realidade a corrente  $I_{DS}$  na saturação, devido ao efeito da modulação do comprimento de canal, depende do valor da tensão  $V_{DS}$ , como pode ser visto na figura 3. A relação (2) serve, portanto, como aproximação.

Na figura 4 temos as modelos simplificados do transistor NMOS para as regiões triodo, fig. 4b, e saturação, fig. 4c.

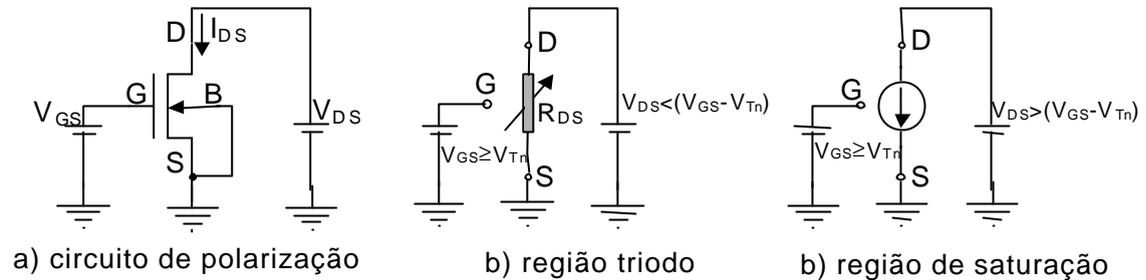


Figura 4: Modelos simplificados de NMOS modo enriquecimento.

Para um transistor PMOS, podemos escrever expressões semelhantes as acima:

- p/ a região triodo ( $(V_{GS} - V_{Tp}) < V_{DS} < 0$ ): 
$$I_{DS} = -b_p \left[ (V_{GS} - V_{Tp}) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (3)$$

- p/ a região de saturação ( $V_{DS} < (V_{GS} - V_{Tp}) < 0$ ): 
$$I_{DS} = -\frac{b_p}{2} (V_{GS} - V_{Tp})^2 \quad (4)$$

### 8.2.3 Polarização de Substrato

Até aqui se considerou a tensão de limiar de um MOSFET como constante. Na realidade, se variarmos a tensão substrato-fonte,  $V_{SB}$ , observaremos uma variação da tensão de limiar do transistor. O efeito disso pode ser percebido na condutância dreno-fonte,  $G_{DS}$ , que varia com a tensão  $V_{SB}$ , como mostrado na figura 5. A dependência de  $G_{DS}$  com  $V_{SB}$  é importante na implementação de portas de transmissão como será visto.

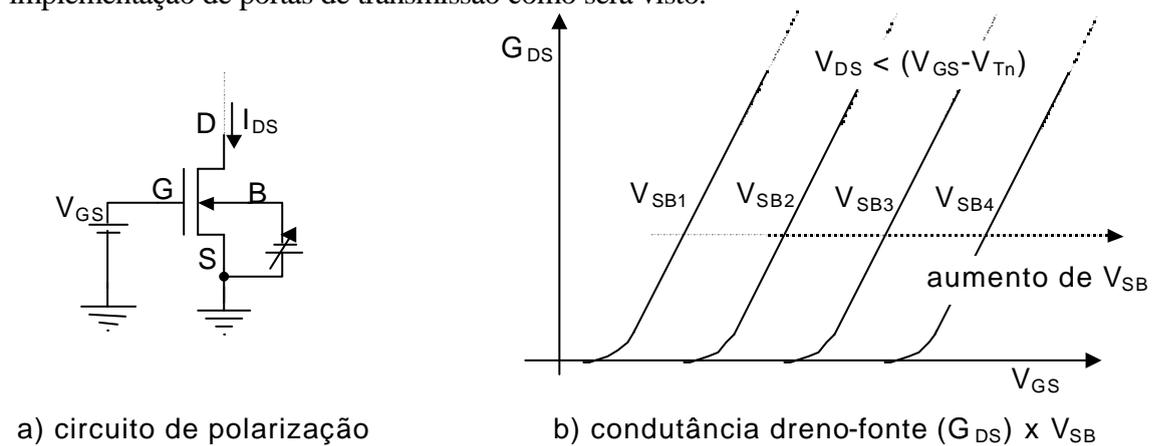


Figura 5. Efeito da variação da polarização de Substrato na condutância dreno-fonte em transistores MOSFET.

## 8.3 CIRCUITOS CMOS

### 8.3.1 Inversores CMOS

O inversor CMOS é a porta lógica mais simples implementada com esta tecnologia. É composto por dois transistores, um NMOS e um PMOS, operando de forma complementar. Assim o circuito é projetado de forma que, exceto nas transições de estado, sempre haverá um transistor conduzindo e outro cortado. Na figura 6 temos ilustrado a diagrama esquemático de um inversor CMOS.

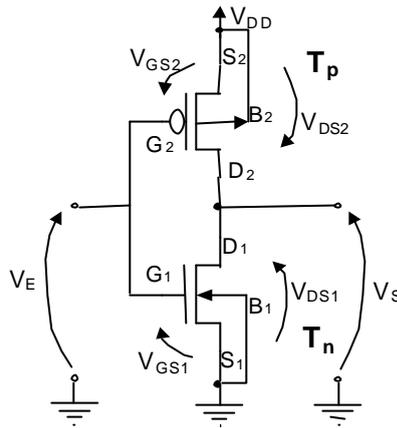


Figura 6. Inversor CMOS básico.

Diferente de circuitos inversores implementados com outras tecnologias MOS, nesta tecnologia ambos os transistores operam como elemento ativo do circuito.

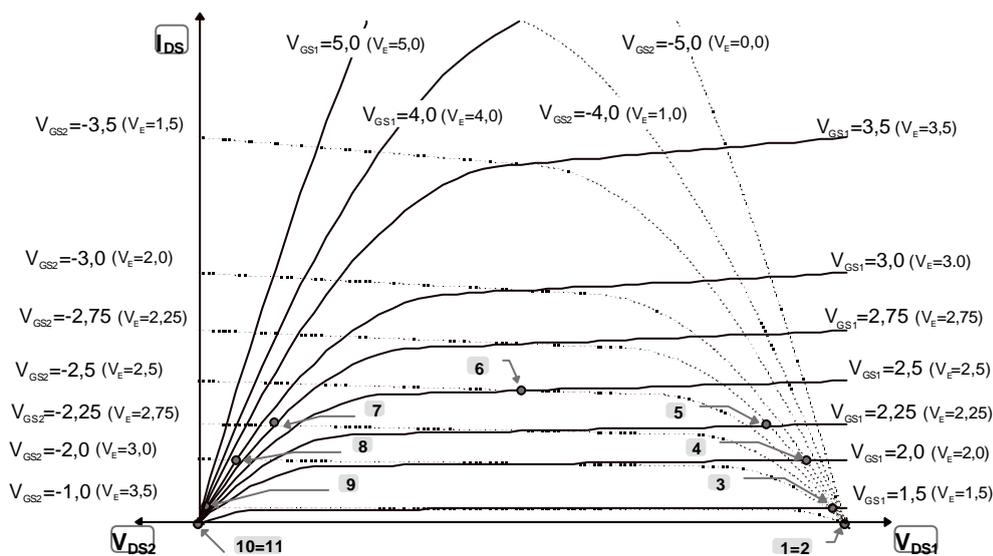


Figura 7. Sobreposição das curvas características de  $T_n$  e  $T_p$  do circuito da figura 6 ( $V_{DD}=5V$ ).

Vamos estudar a operação do circuito variando a tensão de entrada de zero a  $V_{DD}$ . Se a tensão aplicada à entrada do inversor for inicialmente igual a zero, temos a tensão porta-fonte de  $T_n$ ,  $V_{GS1}$ , igual a zero Volts e a tensão porta-fonte do  $T_p$ ,  $V_{GS2}$ , igual a  $-V_{DD}$ . Portanto o transistor  $T_n$  estará cortado e o transistor  $T_p$ , em condução na região triodo. Na associação de curvas características mostradas na figura 7, estamos operando no ponto 1, sendo por isso a tensão de saída praticamente igual a  $V_{DD}$ . Esta situação, que corresponde a região **A** da característica de transferência do circuito mostrada na figura 8, permanece até que a tensão de entrada atinja a tensão de limiar do transistor NMOS,  $V_{Tn}$  (ponto 2).

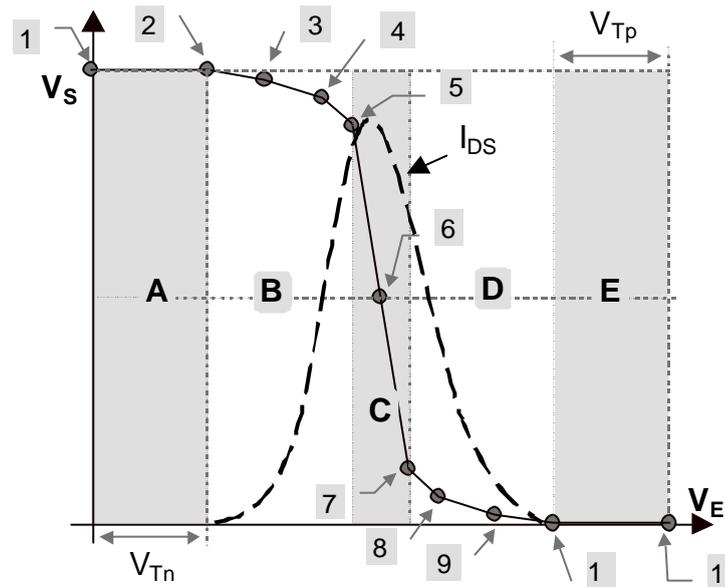


Fig. 8 - Característica de Transferência de um inversor CMOS e corrente  $I_{DS}$

Quando a tensão de entrada do inversor atinge  $V_{Tn}$ , o transistor  $T_n$  passa a conduzir na região de saturação permanecendo o transistor  $T_p$  na região triodo (pontos 3 e 4 dos gráficos das figs. 7 e 8) e o circuito passa a operar na região **B**.

Aumentada à tensão de entrada, o transistor  $T_p$  passará da região triodo à região de saturação e o circuito passará a operar na região **C**, onde ambos os transistores estão saturados (pontos 5, 6 e 7). Nesta região o inversor apresenta um ganho entre entrada/saída grande e pode mesmo ser empregado como amplificador.

Um pequeno aumento da tensão de entrada faz o transistor  $T_n$  entrar na região triodo, e o circuito passará a operar na região **D** (pontos 8 e 9). Finalmente quando a tensão de entrada for maior que  $(V_{DD}-V_{Tp})$  teremos o corte do transistor  $T_p$ , ponto 10, permanecendo o transistor  $T_n$  na região triodo (região **E**). Como  $T_p$  está cortado a saída fica praticamente igual a zero Volts.

Observe que em ambas as regiões onde o circuito atinge a condição do repouso, regiões **A** e **E**, a corrente que circula pelo inversor é praticamente igual a zero, já que um ou outro transistor está em corte (na região **A** temos  $T_n$  cortado e na região **E**,  $T_p$  cortado). Com isso a potência consumida pelo circuito inversor na condição estática é praticamente igual a zero. Nas transições, por outro lado, com a condução simultânea dos dois transistores e com a carga e a descarga das capacitâncias de carga e parasitárias internas, temos tensões e correntes nos transistores e como resultado uma potência dissipada no inversor.

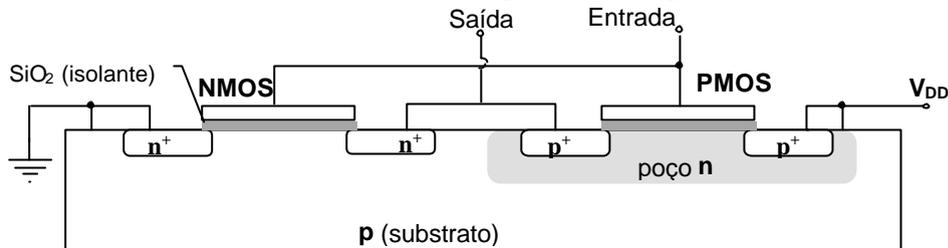


Figura 9. Construção de um Inversor CMOS.

Na figura 9 é mostrada a construção dos transistores NMOS e PMOS que compõe um inversor CMOS. O transistor PMOS é formado sobre uma região de difusão n, poço n, ligada ao  $V_{DD}$ ; o transistor NMOS é formado sobre o substrato tipo p ligado ao terra.

### 8.3.2 Portas Lógicas Estáticas NOU e NE CMOS

Os esquemas das portas lógicas estáticas NOU (*NOR*) e NE (*NAND*) estão mostrados nas figuras 10a e 10b respectivamente. Os circuitos dessas portas podem ser considerados generalizações do circuito inversor estudado na seção anterior. No caso da porta lógica NOU, o leitor pode observar que a saída é igual a zero quando  $T_{n1}$  ou  $T_{n2}$  estiver conduzindo ( $T_{p1}$  ou  $T_{p2}$  estiver cortado). Em outras palavras, só se a entrada **A** ou a entrada **B** estiver em  $V_{DD}$ , à saída será igual a zero. Quando ambas as entradas estiverem em zero, a saída estará então em  $V_{DD}$ , correspondendo ao valor digital 1 (lógica positiva). Da mesma maneira, podemos estudar a implementação CMOS do NE apresentada na fig.10b. A tensão de saída é igual a zero quando  $T_{n1}$  e  $T_{n2}$  estiverem conduzindo ( $T_{p1}$  e  $T_{p2}$  estiverem cortados).

Na figura 11 temos uma porta lógica estática NOU, no qual foram acrescentados mais quatro transistores de maior capacidade de corrente e que formam um circuito de saída denominado acoplador de saída (*buffer* de saída). A finalidade desse acoplador é reduzir a impedância de saída e, conseqüentemente, melhorar os tempos de transição do circuito. Outra vantagem da utilização dos acopladores de saída é o fato da impedância de saída não variar com as diferentes combinações de entradas, como ocorre na porta NOU da figura 10. Adicionalmente, devido ao aumento de ganho proporcionado pela associação, temos um estreitamento da região de transição da curva característica de transferência do circuito e, como conseqüência, a redução na potência dissipada.

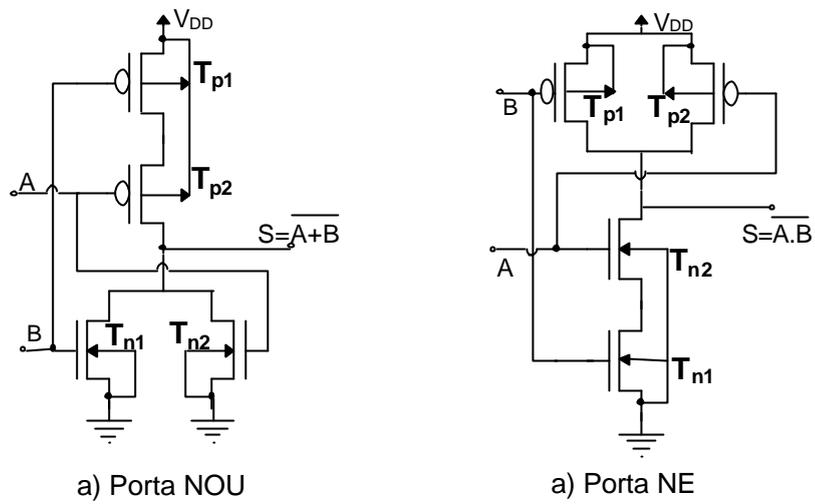


Figura 10. Circuitos das Portas Lógicas Estáticas NOU e NE em CMOS.

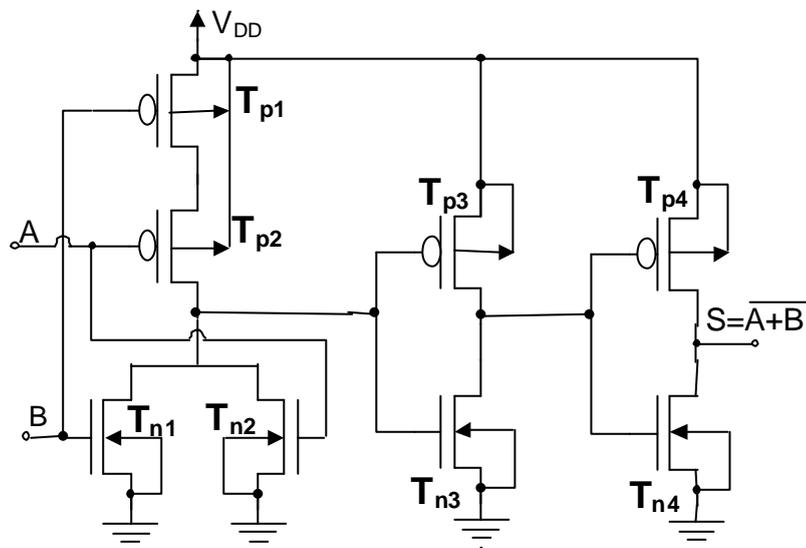


Figura 11. Circuito NOU CMOS com Acoplador de Saída

### 8.3.3 Portas de Transmissão CMOS

A porta de transmissão CMOS constitui uma chave analógica de condução bidirecional, implementada em geral com dois transistores MOSFET "flutuantes" (ou seja, o terminal fonte não é conectado nem a terra nem à alimentação) associados em paralelo, conforme a figura 12a. Quando a porta de transmissão é habilitada, através da ativação do sinal de controle, a entrada é conectada à saída pelos transistores  $T_{p1}$  (PMOS) e  $T_{n1}$  (NMOS). Nesse estado, o terminal de porta do transistor canal P está ligado ao terra e o terminal de porta do transistor N, à fonte de alimentação. Em geral a carga de saída é dimensionada de forma que, quando a porta de transmissão está habilitada, os transistores operem, no regime, na região triodo, comportando-se como resistências.

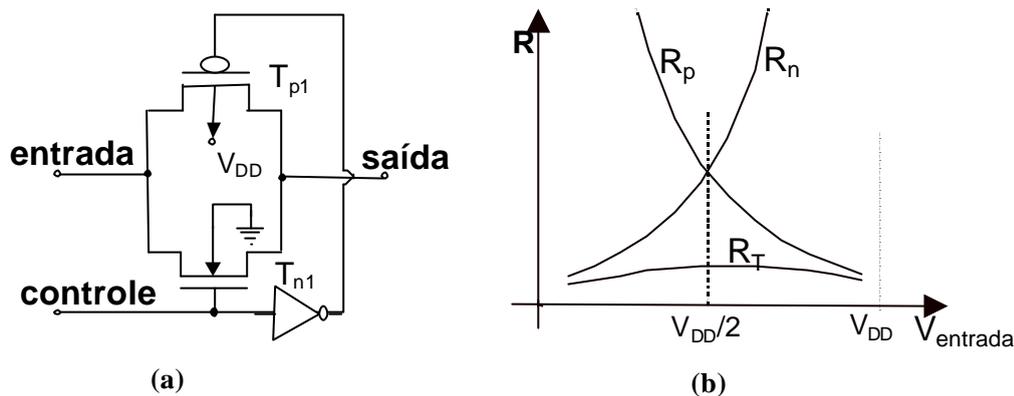


Figura 12. (a) Circuito de uma Porta de Transmissão CMOS. (b) Variação da resistência de uma Porta de Transmissão CMOS em função da tensão de entrada.

Há duas razões para se utilizar dois transistores complementares em paralelo para a implementação da chave. A primeira é compensar as variações de resistência fonte-dreno provocadas pelas variações das tensões  $V_{GS}$  e fonte-substrato dos transistores. Como vimos na seção 5.2, uma variação da tensão fonte-substrato tem como consequência a variação da tensão de limiar do transistor MOS. Assim ao se alterar a tensão da entrada de zero a  $V_{DD}$ , a resistência do transistor NMOS ( $R_n$ ) vai aumentando, podendo atingir valores apreciáveis. Por outro lado, a resistência do PMOS ( $R_p$ ) tem comportamento complementar, fazendo com que a resistência equivalente da chave ( $R_n/R_p$ ) fique dentro de determinados limites. Na figura 12b temos as curvas de resistência de ambos os transistores e da resistência equivalente da chave em função da tensão de entrada; estas curvas ilustram bem a operação dos dois transistores. Note que a resistência equivalente da associação tem seu valor máximo próximo da metade da excursão da entrada. A segunda razão para o uso de dois transistores é permitir que tensões com valores próximos tanto de zero como de  $V_{DD}$  possam ser transmitidas pela chave. Considere uma porta de transmissão implementada apenas com um transistor NMOS; nesse caso a fonte e o dreno servirão como entrada e saída (indiferente da ordem) da porta de transmissão e a porta do transistor, como entrada de controle. Quando a porta de transmissão estiver habilitada, sinal de controle com valor  $V_{DD}$ , apenas tensões de entrada com valores inferiores a  $(V_{DD}-V_{Tn})$  poderão ser transmitidas. Tensões superiores a este valor forçaram na saída sempre o mesmo valor  $(V_{DD}-V_{Tn})$ .

No caso de se usar um transistor PMOS, o problema aparece com tensões com valores inferiores a  $|V_{Tp}|$ . Tais dificuldades são especialmente graves quando estas portas de transmissão são usadas para implementar lógica digital. Para contornar esse problema portas com transistores complementares são empregadas; uma outra alternativa é utilizar no controle

tensões diferentes de  $V_{DD}$  ou terra (por exemplo, uma porta com transistor NMOS e o valor da tensão de controle indo de zero a  $(V_{DD}+V_{Tn})$ ).

## 8.4 CARACTERÍSTICAS DE CIRCUITOS INTEGRADOS CMOS

### 8.4.1 Margens de ruído

Uma característica importante dos CIs CMOS é sua elevada imunidade a ruídos; isto quer dizer, a grosso modo, que para ocorrer mudanças no nível lógico da saída do circuito CMOS, uma das entradas deve experimentar uma variação considerável. A imunidade a ruído é normalmente avaliada através dos parâmetros margem de ruído baixa,  $MR_B$ , e margem de ruído alta,  $MR_A$ . Podemos obter os valores destes parâmetros a partir da característica de transferência do CI CMOS, como mostrado na figura 13.

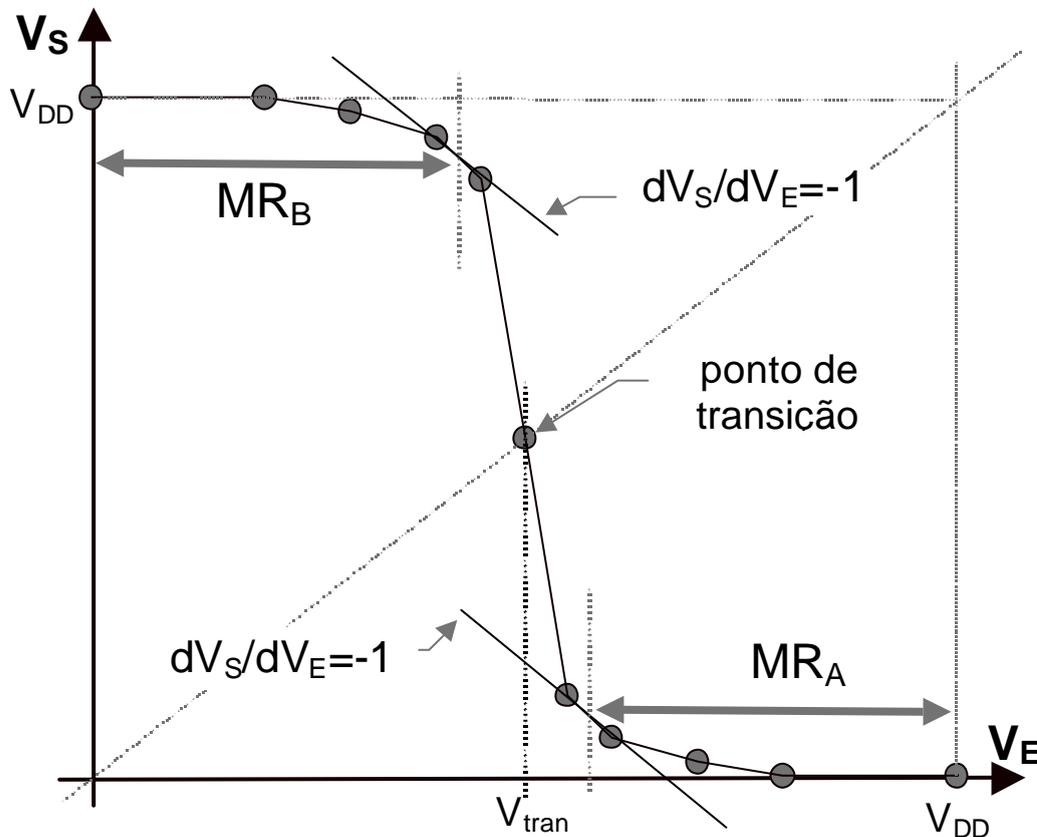


Figura 13. Característica de Transferência de um Inversor CMOS e as margens de ruído baixas,  $MR_B$ , e alta,  $MR_A$ .

Como o ponto de transição (ponto onde temos  $V_S=V_E$ ) de um CI CMOS é normalmente projetado para estar próximo a  $V_{DD}/2$ , temos que os valores da margem de ruído baixa e da margem de ruído alta são próximos. Adicionalmente, em uma porta lógica com acoplador de saída, devido ao fato da transição da curva de transferência ser bastante abrupta, os valores das margens de ruído aproximam-se de  $V_{DD}/2$ , caso ideal para o circuito.

### 8.4.2 Tempos de subida, descida e atraso

Os tempos de subida,  $t_s$ , e descida,  $t_d$ , de um CI CMOS são definidos como os intervalos tempo em que o sinal de saída leva para ir de 10% a 90% de  $V_{DD}$  e de 90% a 10% de  $V_{DD}$ , respectivamente. A figura 14 ilustra esses parâmetros.

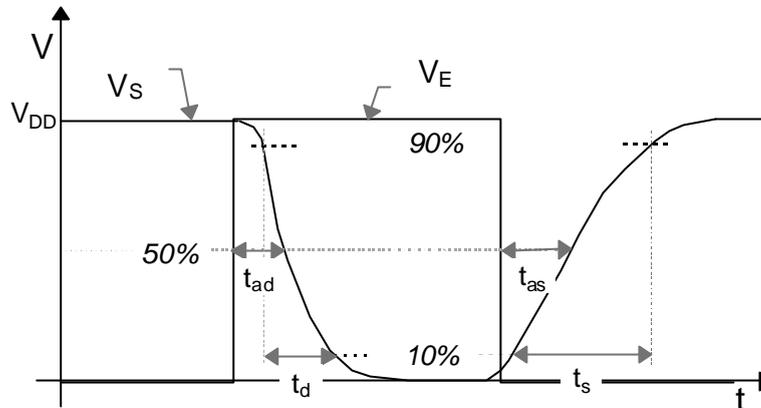


Figura 14. Tempos de subida,  $t_s$ , de descida,  $t_d$ , de atraso na subida,  $t_{as}$ , e de atraso na descida,  $t_{ad}$ .

Na figura 15 temos ilustrada a descarga do capacitor de carga de um inversor CMOS que ocorre durante a descida do sinal de saída. Observe que na transição entre os níveis "1" e "0" o NMOS passa sucessivamente do corte para saturação e finalmente da saturação à região triodo. Portanto, no trecho  $T_1$  temos a descarga linear do capacitor por uma fonte de corrente e no trecho  $T_2$ , a descarga exponencial por uma resistência. O tempo de descida total para um inversor é dado aproximadamente por [We93]

$$t_d = \frac{4(C_i + C_L)}{b_n V_{DD}} \quad (5)$$

onde  $C_i$  é a soma das capacitâncias internas e  $C_L$  é a capacitância de carga na saída.

Analogamente, o tempo de subida é dado por

$$t_s = \frac{4(C_i + C_L)}{b_p V_{DD}} \quad (6)$$

O tempo de atraso,  $t_a$ , de um CI CMOS é definido como o intervalo de tempo entre o instante em que o sinal de entrada atinge 50% de  $V_{DD}$  e o instante em que o sinal de saída também atinge 50%. Na realidade, como mostrado na figura 14, dois tempos de atraso podem ser considerados: o tempo de atraso de subida,  $t_{as}$ , e o tempo de atraso de descida,  $t_{ad}$ . O atraso médio entre esses dois valores pode ser calculado aproximadamente com os valores de  $t_s$  e  $t_d$ , como mostra a expressão abaixo:

$$t_a = \frac{t_{as} + t_{ad}}{2} \cong \frac{(t_s + t_d)}{4} \quad (7)$$

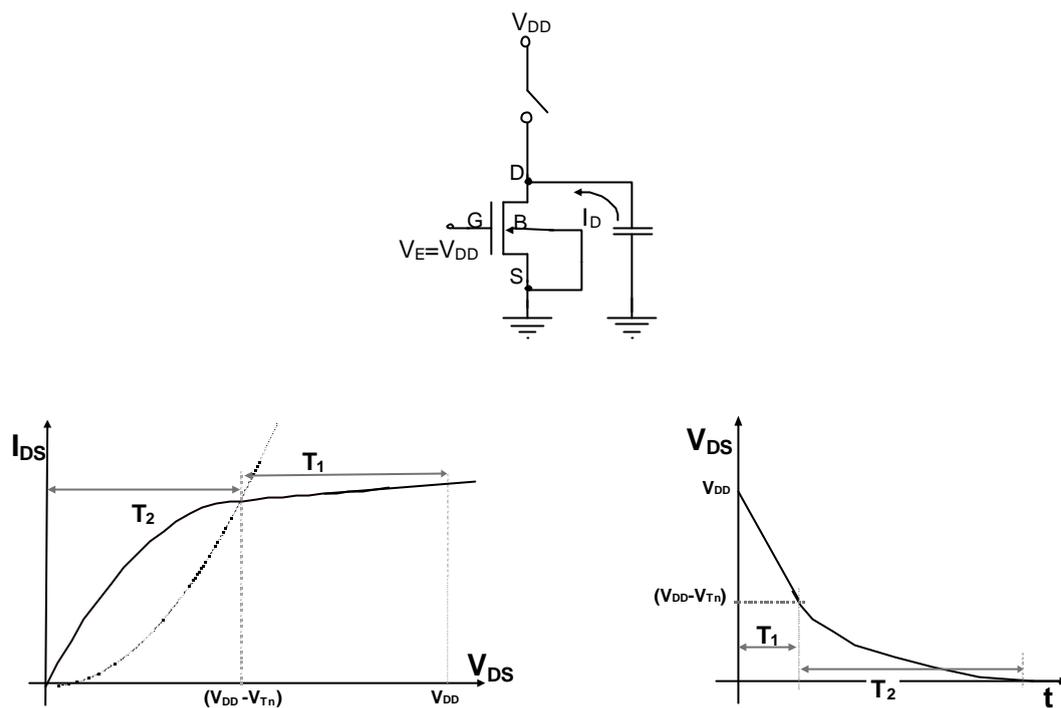


Figura 15 - Tempo de Descida de saída de CIs CMOS.

Antes de encerrar este item chamemos a atenção para dois pontos importantes que as relações (5), (6) e (7) mostram:

- os tempos de subida, descida e atraso são linearmente dependentes de  $C_L$ : assim, quanto maior a carga na saída mais lentos são os CIs CMOS;
- os tempos de subida, descida e atraso são inversamente proporcionais a  $V_{DD}$ : uma redução na tensão de alimentação de um CI CMOS tem como consequência uma redução na sua performance.

### 8.4.3 Dissipação de Potência

A potência dissipada por uma porta lógica CMOS pode ser dividida em quatro componentes [We93]:

- a)  $P_1$ , Potência quiescente, é a potência dissipada pelo circuito quando não temos variações nos sinais aplicados às entradas, seu valor é simplesmente o produto da corrente de fuga interna do CI pela sua tensão de alimentação:

$$P_1 = I_{fuga} V_{DD} \quad (8)$$

onde  $I_{fuga}$  é a corrente de fuga do CI.

- b)  $P_2$ , Potência dinâmica devido às capacitâncias internas, é a potência dissipada devido às cargas e descargas das capacitâncias internas da porta lógica, podendo ser calculada como:

$$P_2 = C_i V_{DD}^2 f \quad (9)$$

onde  $C_i$  é soma das capacitâncias internas e  $f$  é a frequência do sinal de saída.

- c)  $P_3$ , Potência dinâmica devido às transições: É a potência dissipada devido a condução simultânea de transistores N e P que pode ocorrer durante as transições. Essa condução acaba por criar um caminho elétrico direto entre VDD e terra e uma corrente elevada passa por esse caminho. Uma aproximação para a potência dinâmica pode ser calculada através da seguinte expressão:

$$P_3 = \frac{b}{12} (V_{DD} - 2V_T)^3 \frac{(t_s + t_d)}{2} f \quad (10)$$

onde é considerado que  $\beta_n = \beta_p = \beta$  e  $V_{Tn} = V_{Tp} = V_T$ . Para o caso de  $2V_T > V_{DD}$ , os transistores P e N nunca conduzem simultaneamente e a potência dinâmica é zero. Tal situação pode ser utilizada com vantagem para redução do consumo de potência mas causa, por outro lado, uma grande diminuição na velocidade do CI.

- d)  $P_4$ , Potência dinâmica devido às capacitâncias externas de carga do circuito: É a potência dissipada devido às cargas e descargas das capacitâncias externas da porta lógica. Pode ser calculada da mesma forma que a potência  $P_2$ :

$$P_4 = C_L V_{DD}^2 f \quad (11)$$

onde  $C_L$  é soma das capacitâncias externas da porta lógica.

Como as potências  $P_2$  e  $P_3$  dependem apenas de características internas da porta lógica e, ainda, exibem a mesma dependência com a frequência, pode-se definir uma potência combinada diretamente proporcional a uma capacitância equivalente  $C_{PD}$ , cujo valor pode ser obtido em manuais de fabricantes:

$$P_5 = (P_2 + P_3) \cong C_{PD} V_{DD}^2 f \quad (12)$$

onde  $C_{PD}$  é uma capacitância equivalente.

Somando-se os vários termos acima, temos a potência dissipada total,  $P_T$ :

$$P_T = (C_{PD} + C_L) V_{DD}^2 f + I_{fuga} V_{DD} \quad (13)$$

Observe que a potência de um CMOS é fortemente dependente do valor de  $V_{DD}^2$ .

## 8.5 CIRCUITOS DE PROTEÇÃO DE ENTRADA

Nos transistores CMOS, o óxido de porta, camada de  $\text{SiO}_2$  abaixo da porta (figura 2), apresenta uma espessura bem reduzida. Seu valor está em torno de  $t_{ox} = \frac{L_{min}}{45}$  onde  $L_{min}$  é o comprimento mínimo de canal permitido na tecnologia [Th00]. Para uma tecnologia com comprimento de canal mínimo de 0,2 $\mu\text{m}$ , por exemplo, isto implica em  $t_{ox}=4,4\text{nm}$ .

O óxido de silício, como qualquer material, quando submetido campos elétricos muito altos (cerca de 600V/ $\mu\text{m}$  para o óxido de silício), sofre ruptura. Para um óxido de porta com 4,4nm, significa que a tensão de porta não pode ultrapassar a 2,7V, sobe risco de causar danos permanentes no transistor.

Para transistores internos do CI, é fácil controlar as tensões de porta desde de que  $V_{DD}$  tenha um valor baixo; no entanto para transistores que estão ligados a entrada externa, a situação é problemática. Como as capacitâncias de porta em transistores CMOS são extremamente pequenas, da ordem de dezenas de fF, uma pequena quantidade de carga na entrada pode causar altas tensões e danos aos transistores. Em particular, devido às cargas estáticas normalmente acumuladas em objetos e pessoas, qualquer contato de mãos com um CI CMOS pode ser o suficiente para danificá-lo.

Para proteger o óxido de porta destas cargas e também de transientes de tensão (liga e desliga de fontes), usualmente são empregados circuitos limitadores de tensão a diodo, como mostrado na figura 16, nas entradas. Estes circuitos, para maior garantia e simplicidade, vêm integrados junto com o CI CMOS em dispositivos mais complexos.

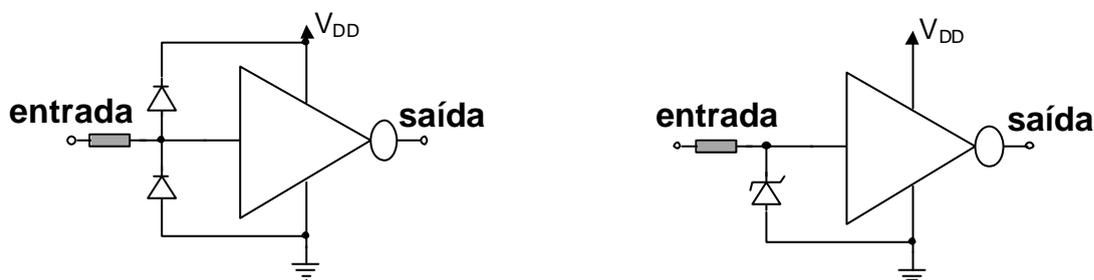


Figura 16. Circuitos de Proteção de entrada.

## 8.6 REFERÊNCIAS BIBLIOGRÁFICAS

- [Br98] BREWER, J.E. *A new and improved roadmap*. **IEEE Circuits & Devices**, v.14, p.13-18, Mar. 1988.
- [Me98] MELLIAR-SMITH, C.M. et al. *The transistor: an invention becomes a big business*. **Proceedings of the IEEE**, v.86, p.86-110, Jan. 1998.
- [Rs98] ROSS, I.M. *The invention of the transistor*. **Proc. IEEE**, v.86, p.7-28, Jan. 1998.
- [Sa88] SAH, C.-T. *Evolution of the MOS transistor-from conception to VLSI*. **Proceedings of the IEEE**, v.76, p.1280-1326, Oct. 1988.
- [Se99] SEMICONDUCTOR INDUSTRY ASSOCIATION (SIA), **International technology roadmap for semiconductors**. San Jose, 1999.
- [Se00] SEDRA, A.S.; SMITH, K.C. **Microeletrônica**. 4<sup>a</sup> ed., Makron Books, 2000.
- [Th00] THOMPSON, S.; PACKAN, P.; BOHR, M. *MOS scaling: transistor challenges for the 21st century*. **Intel Technology Journal**, Q398.
- [We93] WESTE, N.H.E.; ESHRAGHIAN, K. **Principles of CMOS VLSI design**. 2<sup>a</sup> ed. Reading, Addison-Wesley Publishing Company, 1993.