

# Réalisation et caractérisation d'une technologie CMOS de transistors en couches minces à basse température ( $\leq 600^\circ\text{C}$ )

Carlos Eduardo VIANA

GMV: Université de RENNES 1  
Bât. 11B – 35042 RENNES – France  
Fax: +33+(0)2.99.28.16.74

LSI - Université de São Paulo  
Cidade Universitária - Brésil  
Fax: +55+11+3818-5665

E-mail : . ceviana@lsi.usp.br

## Résumé

Dans le projet de coopération franco-brésilien COFECUB/CAPES, l'objectif principal est la réalisation d'un process basse température visant à obtenir des transistors en couches minces de silicium polycristallin de type P et N sur le même substrat et vers une intégration dans des dispositifs CMOS. Les principales propriétés des oxydes de silicium, des transistors en couches minces (TCMs) ainsi que les séquences de masquage pour obtenir des circuits CMOS sont présentés. L'autre but de cette étude est d'utiliser l'oxyde de silicium obtenu par HDPECVD-TEOS (tetraethylorthosilicate) comme oxyde de grille des TCMs.

## 1. Introduction

Ce travail de doctorat fait partie d'un projet de coopération franco-brésilien inter-universitaire tant au niveau de la recherche que de l'enseignement entre le COFECUB (Comité Français d'Evaluation de la Coopération Universitaire avec le Brésil), et la CAPES (Coordenação de Aperfeiçoamento de Pessoal de Nível Superior).

Les écrans à cristaux liquides à matrice active constituent l'application la plus importante concernant les transistors en couches minces. Actuellement, chaque élément d'image (pixel) est commandé par un transistor, et l'électronique d'adressage est réalisée à partir de transistors en silicium monocristallin. Ces derniers ne peuvent donc pas être réalisés sur le substrat de verre et nécessitent donc d'être placés en périphérie du circuit.

Le développement d'une technologie TCM-CMOS à basse température ayant pour but d'intégrer sur le même substrat les transistors de pixels ainsi que l'électronique de commande peut alors permettre de diminuer la taille, le poids, la consommation et par conséquent le coût du dispositif obtenu.

Dans cette optique, l'objectif principal de cette étude est la réalisation d'un process basse température ( $\leq 600^\circ\text{C}$ ) permettant d'obtenir des transistors en couches minces de silicium polycristallin de type P et N sur le même substrat afin de l'adapter à la fabrication de dispositifs CMOS.

Les étapes de fabrication les plus importantes sont le dépôt de silicium non dopé et dopé (au phosphore et au bore) par LPCVD, et le dépôt d'oxyde de silicium par PECVD, avec TEOS comme source de silicium. La couche de silicium non dopé constitue alors la couche active des transistors, les couches dopées le drain et la source, et enfin l'oxyde de silicium l'isolant de grille.

## 2. Étapes

Les dispositifs TCMs sont réalisés au GMV et les divers résultats obtenus sont présentés. Cette étude a commencé par l'optimisation du procédé de dépôt de la couche d'oxyde de silicium par PECVD utilisée comme grille des transistors. Les résultats obtenus n'étant pas suffisants pour une application aux TCMs, une nouvelle chambre de dépôt est projetée. La mise au point des étapes technologiques pour la réalisation de circuits CMOS a constitué la suite du travail.

### 2.1 Le dépôt d'Oxyde de Silicium

Le dépôt d'oxyde de silicium est réalisé par PECVD à partir du gaz TEOS -  $\text{Si}(\text{OC}_2\text{H}_5)_4$  réagissant avec de l'oxygène dans un plasma RF d'argon à basse température.

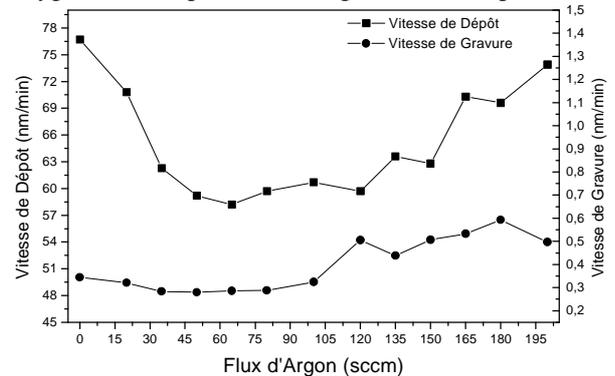


Figure 1 : Evolution de la vitesse de gravure humide et de la vitesse de dépôt des couches d'oxyde de silicium en fonction du flux d'argon, avec  $F_{\text{TEOS}} = 7,5$  sccm,  $F_{\text{O}_2} = 450$  sccm,  $P = 1$  Torr,  $T = 375^\circ\text{C}$  et  $W_{\text{RF}} = 400$  W [1].

Une étude de l'influence d'un flux d'argon dans le mélange gazeux a été réalisée afin d'augmenter la vitesse de décomposition des molécules de TEOS sans augmenter la densité du plasma.

Flux de Ar	$I_{\text{LK}}$ (4 MV/cm)	$E_{\text{BD}}$	$Q_{\text{SS}}$
150 sccm	5.3 pA	10.5 MV/cm	$1.46 \times 10^{12} \text{ cm}^{-2}$

Table 1 : Courant de fuite ( $I_{\text{LK}}$ ), champ de claquage ( $E_{\text{BD}}$ ) et densité effective de charges ( $Q_{\text{SS}}$ ) des capacités MOS [2].

La Figure 1 présente l'évolution de la vitesse de dépôt et de gravure humide (HF:H<sub>2</sub>O-DI 1:100) pour les couches déposées. La Table 1 donne les caractéristiques électriques de la couche obtenues à partir des courbes  $J=f(E)$  (densité de courant en fonction du champ électrique) des capacités MOS réalisées avec l'oxyde déposé pour un flux d'argon de 150 sccm.

Les performances obtenues n'étendent pas en vue des applications envisagées, un nouveau réacteur devenant être plus performant est en cours de réalisation.

## 2.2 Projet de Réacteur HDPECVD

Pour obtenir de meilleures caractéristiques électriques des couches d'oxyde de silicium, un autre réacteur a été envisagé, c'est un HD-PECVD ("High Density-PECVD"). La Figure 2 présente la vue en coupe de cette chambre.

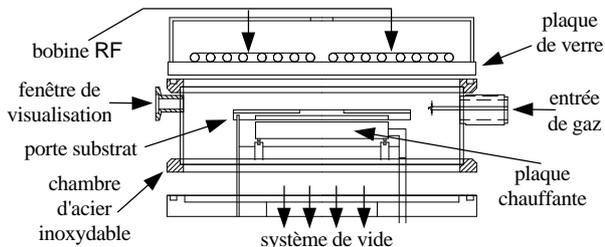


Figure 2 : Vue en coupe de la chambre HDPECVD.

Le principal but est d'augmenter la densité de plasma et de diminuer la pression de dépôt (~1 mtorr) pour améliorer la décomposition de la molécule de TEOS à températures plus basses, et ainsi obtenir des couches d'oxyde de meilleure qualité.

## 2.3 Technologie des Transistors Couches Minces

Nous avons fabriqué et caractérisé indépendamment des transistors couche mince de type N et P. En utilisant les meilleures connaissances existant du laboratoire nous avons obtenus les résultats présentés dans la Table 2.

Type de TFT	S (V/dec)	$\mu_{FE}$ ( $cm^2/V.s$ )	$V_{TH}$ (V)
Monocouche N [3]	0,7	100	1,2
Monocouche P [3]	0,6	60	-7,5
bicouche N [3]	1	63	4
bicouche P	1	15	-9

Table 2 : Pente sous le seuil (S), mobilité des porteurs ( $\mu_{FE}$ ) et tension de seuil ( $V_{TH}$ ) des TFT's [3].

La suite du travail consiste à fabriquer sur le même substrat les deux types de transistors. Nous sommes tout d'abord attachés à la mise au point du procédé de fabrication.

## 2.4 Les Séquences de masquage CMOS

Les séquences de fabrication des CMOS sont présentées sur la Figure 3. La première étape consiste à déposer 250 nm d'oxyde de silicium « d'isolation » par APCVD (dépôt : 450°C, 30nm/min, densification : 600°C, 1 h) sur des substrats de verre. Le dépôt de silicium non dopé est réalisé par LPCVD sous forme amorphe (550°C, 90Pa, 150nm/h) puis recuit à 600°C durant 12 heures, un dépôt de silicium polycristallin dopé avec phosphore(N) et avec Bore (P) viendra alors constituer la source et le drain. Les deux couches ont des épaisseurs de 150nm. La définition de la couche dopée P est obtenue par gravure plasma de SF<sub>6</sub> suivi d'un plasma d'O<sub>2</sub> pour éliminer la résine (négative) qui a servi de masque. Une couche de SiO<sub>2</sub> d'isolation protège la couche P durant le dépôt de la couche N. Le quatrième masque permet de définir les flots N et P. La structure subit alors une étape de nettoyage RCA pour préparer la couche active pour

le dépôt de l'oxyde de grille par APCVD (60nm) Le cinquième photomasquage réalise les ouvertures des contacts source et drain par une gravure humide de l'oxyde (e). Enfin, le dépôt d'aluminium est alors réalisé par évaporation sous vide, et le dernier masque est reproduit sur l'échantillon pour définir les contacts et connexions entre les transistors type N et P.

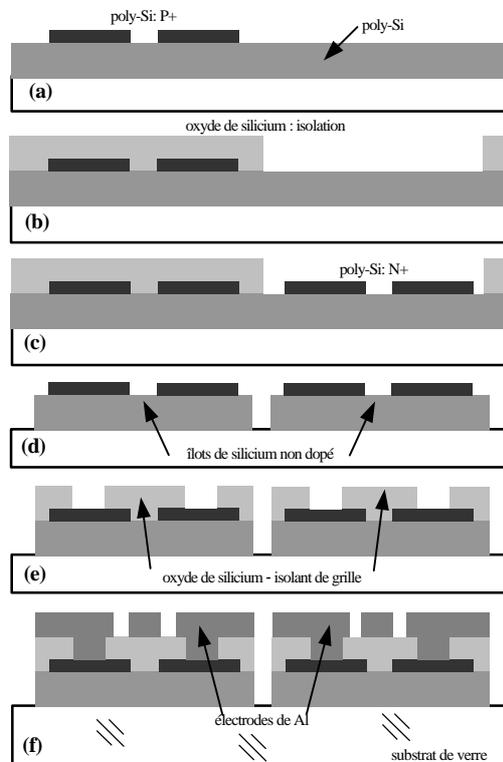


Figure 3 : Les séquences de masquage CMOS.

## 3. Perspective

La réalisation des TCMs du type N et P sur le même substrat, la simulation numérique des circuits sera réalisée pour déterminer la taille des TCMs conduisant à un fonctionnement optimal des circuits CMOS, afin de dimensionner les masques lithographiques. Après, l'obtention des propriétés électriques des circuits TCM-CMOS au GMV, et tenant compte des résultats favorables de l'étape de caractérisation du réacteur HDPECVD, la suite consistera à fabriquer des circuits TCM-CMOS avec l'oxyde de silicium à base de TEOS.

## Références

- [1] C. E. Viana, A. N. R. Silva, N. I. Morimoto, "Argon flow Effects in the PETEOS Silicon Oxide Thin Films Deposition". In: XIV ICMP99, São Paulo, 1999.
- [2] C. E. Viana, N. I. Morimoto, O. Bonnaud, "Annealing Effects in the PECVD SiO<sub>2</sub> Thin Films Deposited Using TEOS, Ar and O<sub>2</sub> Mixture". Microelectronics and Reliability, n.40. p.613-6, 2000.
- [3] K. Mourgues, Réalisation de transistors en couches minces de silicium polycristallin par des procédés basse température ( $\leq 600^\circ C$ ) sans étape d'hydrogénation, thèse à Univ. R 1, 1999.

**Note** : Cette thèse est préparée en cotoutelle sous la direction de N. I. MORIMOTO (LSI) et O. BONNAUD (GMV).